

STACKED SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP2002076247

Publication date: 2002-03-15

Inventor(s): HAMAYA TAKESHI; NAGAO KOICHI; MATSUMURA KAZUHIKO; YAMADA YUICHIRO; ITO FUMITO; KUMAKAWA TAKAHIRO

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Requested Patent: ☐ JP2002076247

Application
Number: JP20000255081 20000825

Priority Number
(s):

IPC Classification: H01L25/065; H01L25/07; H01L25/18

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To solve the problem that conventionally a stacked semiconductor device may have connection reliability lowered, because semiconductor chips are aligned by fitting protrusions and recessed provided in via pads or through infrared recognition.

SOLUTION: The center of the second dummy via 13 in a second semiconductor chip 4 is arranged, to correspond to the center of the first dummy via 12 in a first semiconductor chip 2, and center of the third dummy via 14 in a third semiconductor chip 7 is arranged to correspond to the center of the first dummy via 12 in the first semiconductor chip 2 and center of the second dummy via 13 in the second semiconductor chip 4, and the chips are stacked with high positional accuracy. Therefore, a stacked semiconductor device, where connection reliability of respective semiconductor chips is enhanced, can be realized.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76247

(P2002-76247A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07			
25/18			

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2000-255081 (P2000-255081)

(22) 出願日 平成12年8月25日 (2000.8.25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 ▲濱▼谷 毅

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 長尾 浩一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

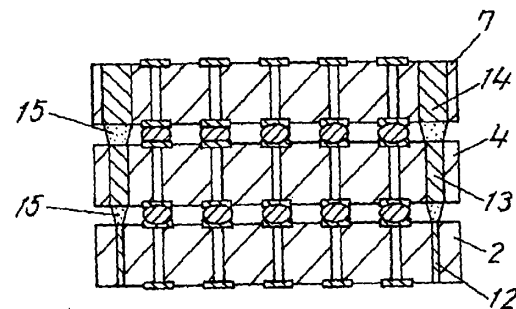
最終頁に続く

(54) 【発明の名称】 積層型半導体装置およびその製造方法

(57) 【要約】

【課題】 従来の積層型半導体装置では各半導体チップどうしの位置合わせが、ビアパッドに設けた凹凸形状のはめ込みによる位置合わせや赤外線認識による位置合わせであり、接続の信頼性が低くなる恐れがあった。

【解決手段】 第1の半導体チップ2の第1のダミービア12の中心に第2の半導体チップ4の第2のダミービア13の中心が対応して配置され、さらに第1の半導体チップ2の第1のダミービア12の中心および第2の半導体チップ4の第2のダミービア13の中心に第3の半導体チップ7の第3のダミービア14の中心が対応して配置され、位置精度よく積層されているため、各半導体チップどうしの接続の信頼性を向上した積層型半導体装置を実現できるものである。



【特許請求の範囲】

【請求項1】 その主面上に形成された第1の電極パッドと、前記第1の電極パッド上またはその近傍に形成された信号接続用の第1のビアとを有した第1の半導体チップと、その主面上に形成された第2の電極パッドと、前記第2の電極パッド上またはその近傍に形成された信号接続用の第2のビアとを有した第2の半導体チップと、その主面上に形成された第3の電極パッドと、前記第3の電極パッド上またはその近傍に形成された信号接続用の第3のビアとを有した第3の半導体チップとよりなり、前記第1の半導体チップ上に前記第2の半導体チップが搭載され、前記第2の半導体チップ上に前記第3の半導体チップが搭載された積層型半導体装置であって、前記第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ第1のダミービア、第2のダミービア、第3のダミービアを有し、前記第1の半導体チップの前記第1のダミービアの中心に第2の半導体チップの第2のダミービアの中心が対応して配置され、さらに第1の半導体チップの前記第1のダミービアの中心および第2の半導体チップの第2のダミービアの中心に第3の半導体チップの第3のダミービアの中心が対応して配置されていることを特徴とする積層型半導体装置。

【請求項2】 第1のダミービアの径よりも第2のダミービアの径が大きく、前記第2のダミービアの径よりも第3のダミービアの径が大きいことを特徴とする請求項1に記載の積層型半導体装置。

【請求項3】 第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ同一の半導体チップであることを特徴とする請求項1に記載の積層型半導体装置。

【請求項4】 第1のダミービア、第2のダミービア、第3のダミービアに固着材が充填されて第1の半導体チップ、第2の半導体チップ、第3の半導体チップが前記固着材により固定されていることを特徴とする請求項1に記載の積層型半導体装置。

【請求項5】 その主面上に形成された第1の電極パッドと、その第1の電極パッド上またはその近傍に形成された信号接続用の第1のビアと、その主面上に形成された第1の径サイズの第1のダミービアとを有した第1の半導体チップに対して、その主面上に形成された第2の電極パッドと、その第2の電極パッド上またはその近傍に形成された信号接続用の第2のビアと、その主面上に形成された第2の径サイズの第2のダミービアとを有した第2の半導体チップを積層し、前記第2のダミービアから前記第1のダミービアの位置を認識するとともに、前記第2のダミービアの中心に前記第1のダミービアの中心を合致させて位置合わせして、前記第1のビアと前記第2のビアとを接続する工程と、前記第2の半導体チップに対して、その主面上に形成さ

れた第3の電極パッドと、その第3の電極パッド上またはその近傍に形成された信号接続用の第3のビアと、その主面上に形成された第3の径サイズの第3のダミービアとを有した第3の半導体チップを積層し、前記第3のダミービアからその下方の前記第1のダミービアおよび第2のダミービアの位置を認識するとともに、前記第3のダミービアの中心に前記第1のダミービア、第2のダミービアの中心を合致させて位置合わせして、前記第2のビアと前記第3のビアとを接続する工程とを有し、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識して位置合わせすることを特徴とする積層型半導体装置の製造方法。

【請求項6】 第1のダミービアの径よりも第2のダミービアの径が大きく、前記第2のダミービアの径よりも第3のダミービアの径が大きいことを特徴とする請求項5に記載の積層型半導体装置の製造方法。

【請求項7】 第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ同一の半導体チップであることを特徴とする請求項5に記載の積層型半導体装置の製造方法。

【請求項8】 第1のダミービア、第2のダミービア、第3のダミービアに固着材を充填して第1の半導体チップ、第2の半導体チップ、第3の半導体チップを前記固着材により固定する工程をさらに有することを特徴とする請求項5に記載の積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数の半導体チップを三次元方向に積層搭載した積層型半導体装置およびその製造方法に関するものであり、特に積層された各半導体チップどうしが精度よく位置合わせされ、接続の信頼性が高い積層型半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来、複数の半導体チップが三次元方向に積層されて構成された積層型半導体装置は、各半導体チップに設けられた電極どうしがその表裏面で貫通ビアにより電気的に接続されたものであった。

【0003】図6は従来の積層型半導体装置の構成を示す図であり、図6(a)は平面図であり、図6(b)は図6(a)のA-A1箇所の主要な断面図である。なお図6(a)ではビアパッドの図示を省略している。

【0004】図6に示すように従来の積層型半導体装置は、その主面上に形成された第1の電極パッドと、その第1の電極パッドに形成された信号接続用の第1の貫通ビア1とを有した第1の半導体チップ2と、その主面上に形成された第2の電極パッドと、その第2の電極パッドに形成された信号接続用の第2の貫通ビア3とを有した第2の半導体チップ4と、その主面上に形成された第3の電極パッド5と、その第3の電極パッド5に形成さ

れた信号接続用の第3の貫通ビア6とを有した第3の半導体チップ7とよりなり、第1の半導体チップ2上に第2の半導体チップ4が搭載され、その第2の半導体チップ4上に第3の半導体チップ7が搭載されて三次元構造の積層型半導体装置を構成しているものである。

【0005】そして第1の半導体チップ2の第1の貫通ビア1の表面のビアパッド8aと第2の半導体チップ4の第2の貫通ビア3の裏面のビアパッド9bとが接続され、そして第2の半導体チップ4の第2の貫通ビア3の表面のビアパッド9aと第3の半導体チップ7の第3の貫通ビア6の裏面のビアパッド10bとが接続され、各半導体チップどうしが信号接続用のビアにより電気的に接続されているものである。10aは第3の半導体チップ7の第3の貫通ビア6の表面のビアパッドである。そして各半導体チップのビアパッドとビアパッドとの接続はハンダ等の導電材11により接続されているものである。また図示していないが、各半導体チップ間には封止樹脂が充填されている場合もある。

【0006】また従来の積層型半導体装置において、第1、第2、第3の貫通ビア1、3、6はその内壁に導電材が形成され、半導体チップの表面の電極と裏面とを電気的に接続しているものである。また貫通ビア以外、導電材を充填した充填ビアの場合もある。また第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7はそれぞれ半導体集積回路チップである。

【0007】従来の積層型半導体装置において、基板実装の際は第1の半導体チップ2の第1の貫通ビア1の裏面のビアパッド8bが外部電極となり、基板電極と接続することにより二次実装するものである。

【0008】また従来の積層型半導体装置の製造において、各半導体チップどうしの接続の際の位置合わせは、各半導体チップの貫通ビアのビアパッドに対応した凹凸を形成し、その凹凸形状どうしのはめ込みによる位置合わせで接続するものであった。例えば第1の半導体チップ2の第1の貫通ビア1のビアパッド8aを凸形状と、その上に積層搭載する第2の半導体チップ4の第2の貫通ビア3のビアパッド9bを凹形状として、互いに凹形状に凸形状をはめ込むことにより接続していた。また別の手段としては、赤外線により半導体チップ上の配線を透過認識し、その認識データにより各半導体チップの接続すべき貫通ビアを位置合わせして接続するものであった。

【0009】

【発明が解決しようとする課題】しかしながら前記従来の積層型半導体装置では、その積層搭載の際の各半導体チップどうしの位置合わせが、ビアパッドどうしの凹凸形状のはめ込みによる位置合わせであり、対応したビアパッドの専用設計や加工が必要となり、半導体チップ設計の煩雑性を招く恐れがあった。さらに製造工程ではビアパッドどうしの凹凸形状のはめ込みによる位置合

せという物理的な位置合わせのため、接続の信頼性が低くなる恐れもあった。また赤外線透過による位置合わせでは位置合わせのための設備コストが増大するという問題もあった。

【0010】本発明の各半導体チップどうしの積層搭載の際の位置合わせを容易かつ高精度にし、接続の信頼性を高めた積層型半導体装置およびその製造方法を提供するものであり、各半導体チップに設けたダミービアにより各半導体チップの位置を積層状態で確実に認識して位置合わせし、煩雑なチップ設計などを不要にした積層型半導体装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】前記従来の課題を解決するために本発明の積層型半導体装置は、その主面上に形成された第1の電極パッドと、前記第1の電極パッド上またはその近傍に形成された信号接続用の第1のビアとを有した第1の半導体チップと、その主面上に形成された第2の電極パッドと、前記第2の電極パッド上またはその近傍に形成された信号接続用の第2のビアとを有した第2の半導体チップと、その主面上に形成された第3の電極パッドと、前記第3の電極パッド上またはその近傍に形成された信号接続用の第3のビアとを有した第3の半導体チップとよりなり、前記第1の半導体チップ上に前記第2の半導体チップが搭載され、前記第2の半導体チップ上に前記第3の半導体チップが搭載された積層型半導体装置であって、前記第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ第1のダミービア、第2のダミービア、第3のダミービアを有し、前記第1の半導体チップの前記第1のダミービアの中心に第2の半導体チップの第2のダミービアの中心が対応して配置され、さらに第1の半導体チップの前記第1のダミービアの中心および第2の半導体チップの第2のダミービアの中心に第3の半導体チップの第3のダミービアの中心が対応して配置されている積層型半導体装置である。

【0012】そして具体的には、第1のダミービアの径よりも第2のダミービアの径が大きく、前記第2のダミービアの径よりも第3のダミービアの径が大きい積層型半導体装置である。

【0013】また、第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ同一の半導体チップである積層型半導体装置である。

【0014】また、第1のダミービア、第2のダミービア、第3のダミービアに固着材が充填されて第1の半導体チップ、第2の半導体チップ、第3の半導体チップが前記固着材により固定されている積層型半導体装置である。

【0015】前記構成の通り、本発明の積層型半導体装置は、第1の半導体チップの第1のダミービアの中心に

第2の半導体チップの第2のダミービアの中心が対応して配置され、さらに第1の半導体チップの第1のダミービアの中心および第2の半導体チップの第2のダミービアの中心に第3の半導体チップの第3のダミービアの中心が対応して配置されているため、位置精度よく積層され、チップ積層における各半導体チップどうしの接続の信頼性を向上した積層型半導体装置を実現できるものである。

【0016】また本発明の積層型半導体装置の製造方法は、その主面上に形成された第1の電極パッドと、その第1の電極パッド上またはその近傍に形成された信号接続用の第1のビアと、その主面上に形成された第1の径サイズの第1のダミービアとを有した第1の半導体チップに対して、その主面上に形成された第2の電極パッドと、その第2の電極パッド上またはその近傍に形成された信号接続用の第2のビアと、その主面上に形成された第2の径サイズの第2のダミービアとを有した第2の半導体チップを積層し、前記第2のダミービアから前記第1のダミービアの位置を認識するとともに、前記第2のダミービアの中心に前記第1のダミービアの中心を合致させて位置合わせして、前記第1のビアと前記第2のビアとを接続する工程と、前記第2の半導体チップに対して、その主面上に形成された第3の電極パッドと、その第3の電極パッド上またはその近傍に形成された信号接続用の第3のビアと、その主面上に形成された第3の径サイズの第3のダミービアとを有した第3の半導体チップを積層し、前記第3のダミービアからその下方の前記第1のダミービアおよび第2のダミービアの位置を認識するとともに、前記第3のダミービアの中心に前記第1のダミービア、第2のダミービアの中心を合致させて位置合わせして、前記第2のビアと前記第3のビアとを接続する工程とを有し、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識して位置合わせする積層型半導体装置の製造方法である。

【0017】そして具体的には、第1のダミービアの径よりも第2のダミービアの径が大きく、前記第2のダミービアの径よりも第3のダミービアの径が大きい積層型半導体装置の製造方法である。

【0018】また、第1の半導体チップ、第2の半導体チップ、第3の半導体チップはそれぞれ同一の半導体チップである積層型半導体装置の製造方法である。

【0019】また、第1のダミービア、第2のダミービア、第3のダミービアに固着材を充填して第1の半導体チップ、第2の半導体チップ、第3の半導体チップを前記固着材により固定する工程をさらに有する積層型半導体装置の製造方法である。

【0020】前記構成の通り、本発明の積層型半導体装置の製造方法においては、積層する半導体チップには信号接続用のビアとは別に位置合わせ用のダミービアを設けることにより、各ダミービアの中心位置を合わせて位

置精度よく積層することができるため、各半導体チップ間の接続の信頼性の高い積層型半導体装置を得ることができる。すなわち、1つの半導体チップに対して、その上に積層搭載される半導体チップのダミービアは下側の半導体チップのダミービアよりもその径を大きく構成しているため、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識することにより位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高めることができるものである。また各半導体チップの積層後にダミービアに対して固着材を充填することにより、各半導体チップを確実に固定し、信号接続用のビアどうしの接続の安定性を向上させることができるものである。

【0021】

【発明の実施の形態】以下、本発明の積層型半導体装置およびその製造方法の一実施形態について図面を参照しながら説明する。

【0022】まず本実施形態の積層型半導体装置について説明する。図1は本実施形態の積層型半導体装置を示す図であり、図1(a)は平面図であり、図1(b)は図1(a)のB-B1箇所の断面図である。なお図1(a)ではビアパッドの図示を省略している。

【0023】図1に示すように、本実施形態の積層型半導体装置は、その主面上に形成された第1の電極パッドと、その第1の電極パッド上またはその近傍に形成された信号接続用の第1の貫通ビア1とを有した第1の半導体チップ2と、その主面上に形成された第2の電極パッドと、その第2の電極パッド上またはその近傍に形成された信号接続用の第2の貫通ビア3とを有した第2の半導体チップ4と、その主面上に形成された第3の電極パッド5と、その第3の電極パッド5上またはその近傍に形成された信号接続用の第3の貫通ビア6とを有した第3の半導体チップ7とよりなり、第1の半導体チップ2上に第2の半導体チップ4が搭載され、その第2の半導体チップ4上に第3の半導体チップ7が搭載されて三次元構造の積層型半導体装置を構成しているものである。

【0024】そして第1の半導体チップ2の第1の貫通ビア1の表面のビアパッド8aと第2の半導体チップ4の第2の貫通ビア3の裏面のビアパッド9bとが接続され、そして第2の半導体チップ4の第2の貫通ビア3の表面のビアパッド9aと第3の半導体チップ7の第3の貫通ビア6の裏面のビアパッド10bとが接続され、各半導体チップどうしが信号接続用のビアにより電気的に接続されているものである。また各半導体チップのビアパッドとビアパッドとの接続はハンダや導電性接着剤などの導電材11により接続されているものであるが、ビアパッドどうしを金属接合により接続してもよい。なお、10aは第3の半導体チップ7の第3の貫通ビア6の表面のビアパッドである。そして第1、第2、第3の貫通ビア1、3、6はその内壁に導電材が形成され、半

導体チップの表面の電極と裏面とをチップ内で電気的に接続しているものである。また貫通ビア以外、導電材を充填した充填ビアを用いてもよい。

【0025】また、本実施形態では図示していないが、各半導体チップ間には封止樹脂を充填して機密性を高めたり、放熱性の封止樹脂を充填して放熱対策をしてもよい。

【0026】また本実施形態の積層型半導体装置はその基板実装の際は第1の半導体チップ2の第1の貫通ビア1の裏面のビアパッド8bが外部電極となり、基板電極と接続することにより二次実装するものである。

【0027】ここで本実施形態の積層型半導体装置は、各半導体チップは貫通したダミービアをチップ周辺部、例えば各コーナー部に有しているものである。

【0028】図2には図1(a)のC-C1箇所の断面図を示す。

【0029】図2に示すように、本実施形態の積層型半導体装置は信号接続用の貫通ビアとの別構成で、第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7の各半導体チップの各コーナー部分にそれぞれ第1のダミービア12、第2のダミービア13、第3のダミービア14を有しているものであり、第1の半導体チップ2の第1のダミービア12の中心に対応させて第2の半導体チップ4の第2のダミービア13の中心が配置され、さらにその上に第3の半導体チップ7の第3のダミービア14の中心が配置され3個の半導体チップが位置精度よく積層されているものである。そして本実施形態では第1のダミービア12の径よりも第2のダミービア13の径が大きく、第2のダミービア13の径よりも第3のダミービア14の径が大きい構成としている。

【0030】この構成により、第1の半導体チップ2上に第2の半導体チップ4を積層する際、第2の半導体チップ4の第2のダミービア13からその下方に位置した第1の半導体チップ2の第1のダミービア12を認識して位置合わせし、さらに第2の半導体チップ4上に第3の半導体チップ7を積層する際は第3の半導体チップ7の第3のダミービア14からその下方に位置した第1の半導体チップ2の第1のダミービア12および第2の半導体チップ4の第2のダミービア13を認識して位置合わせすることにより、3個の半導体チップを極めて位置精度よく合わせることができ、チップ積層における各半導体チップどうしの接続の信頼性を高めることができるものである。

【0031】すなわち本実施形態の積層型半導体装置は、1つの半導体チップに対して、その上に積層搭載される半導体チップのダミービアは下側の半導体チップのダミービアよりもその径を大きく構成しているものであり、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識することにより位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高

めることができるものである。なお、本実施形態では半導体チップの個数を3個としているが、位置合わせ時は常に下方にあるダミービアを順次認識するものであるため、積層する半導体チップの個数は4個以上であってもよい。

【0032】また本実施形態では図2に示したように、第1、第2、第3のダミービア12、13、14は第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7を積層する際の位置合わせ部位を構成するものであるが、位置合わせして各半導体チップを積層搭載した後は、ダミービアに封止樹脂または接着剤などの固着材15を充填して各半導体チップどうしを固定している。この構造により積層型半導体チップの接続の信頼性をさらに高めることができる。特に半導体チップの各コーナー部で半導体チップどうしを固定することにより信号接続用の貫通ビアどうしの接続の安定性を向上させることができるものである。また各半導体チップを積層搭載した後、ダミービアから各半導体チップの間隙に対しても封止樹脂を注入し、チップ間も固着してもよい。

【0033】また本実施形態の積層型半導体装置において、第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7はそれぞれ半導体集積回路チップであるが、第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7は互いに同一種類で同一サイズの半導体チップである方が望ましい。これは各半導体チップに設けたダミービアの径サイズを変更するだけで、それら半導体チップを積層する際は、ダミービアどうしの位置合わせで信号接続用の各貫通ビアの接続を精度よく行うことができるからである。または第1の半導体チップ2、第2の半導体チップ4、第3の半導体チップ7が異種異サイズである場合は、ダミービアに合わせて半導体チップの電極パッド、貫通ビアの配置を設定し、各ダミービアの位置合わせを行うだけで各半導体チップの各貫通ビアが位置合わせされるよう設計し、ダミービアどうしの位置合わせで信号接続用の各貫通ビアの接続を精度よく行うことができる。

【0034】次に本実施形態の積層型半導体装置の製造方法について説明する。図3は本実施形態の積層型半導体装置の製造方法を示す平面図であり、第1の半導体チップ、第2の半導体チップ、第3の半導体チップをそれぞれ積層した後の状態を示し、最上の第3の半導体チップが位置合わせされた状態を示した平面図である。また図4は本実施形態の積層型半導体装置の製造方法を示す平面図であり、半導体チップが位置合わせされた状態の1つのダミービア部分の拡大した平面図である。

【0035】図3、図4に示すように、第3の半導体チップ7の各コーナー部には第3のダミービア14が設けられているが、その第3のダミービア14はその下に積層されている第2の半導体チップの第2のダミービア13よりも径サイズが大きいため、第3のダミービア14

から第2のダミービア13を認識することができる。さらに第2のダミービア13はその下に積層されている第1の半導体チップの第1のダミービア12よりも径サイズが大きいため、第2のダミービア13から第1のダミービア12を認識することができ、結果として第1のダミービア12に対して、第2のダミービア13、第3のダミービア14の中心をそれぞれ位置合わせすることができるものである。

【0036】すなわち、第1の半導体チップの第1のダミービア12に対して、中心精度よく第2の半導体チップの第2のダミービア13を位置合わせし、次いで第3の半導体チップの第3のダミービア14を第1の半導体チップの第1のダミービア12、第2の半導体チップの第2のダミービア13に対して中心精度よく位置合わせすることにより、すべての半導体チップを互いに位置精度よく合わせることができるものである。

【0037】以上のようなダミービアによる位置合わせ手段を用いて本実施形態の積層型半導体装置の製造方法を図5を参照して説明する。

【0038】まず図5(a)に示すように、その主面上に形成された第1の電極パッドと、その第1の電極パッド上またはその近傍に形成された信号接続用の第1の貫通ビア1と、その主面上の各コーナー部に形成された第1の径サイズの第1のダミービア12とを有した第1の半導体チップ2に対して、その主面上に形成された第2の電極パッドと、その第2の電極パッド上またはその近傍に形成された信号接続用の第2の貫通ビア3と、その主面上の各コーナー部に形成された第2の径サイズの第2のダミービア13とを有した第2の半導体チップ4を積層し、第2のダミービア13から第1のダミービア12の位置を認識するとともに、第2のダミービア13の中心に第1のダミービア12の中心を合致させて位置合わせして、第1の貫通ビア1と第2の貫通ビア3とを導電材11やビアパッドどうしの金属接合により接続する。

【0039】次に図5(b)に示すように、第2の半導体チップ4に対して、その主面上に形成された第3の電極パッドと、その第3の電極パッド上またはその近傍に形成された信号接続用の第3の貫通ビア6と、その主面上の各コーナー部に形成された第3の径サイズの第3のダミービア14とを有した第3の半導体チップ7を積層し、第3のダミービア14からその下方の第1のダミービア12および第2のダミービア13の位置を認識するとともに、第3のダミービア14の中心に第1のダミービア12、第2のダミービア13の中心を合致させて位置合わせして、第2の貫通ビア3と第3の貫通ビア6とを前述と同様に接続することにより、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識して位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高めた積層型半導体装置を得ること

ができるものである。

【0040】勿論前述の通りでは第1のダミービア12の第1の径サイズより第2のダミービア13の第2の径サイズは大きく、第2のダミービア13の第2の径サイズより第3のダミービア14の第3の径サイズは大きいものであり、その比率としては各々10[%]以上、好ましくは20[%]程度で順次大きい径サイズとするものである。本実施形態では、第1のダミービア12は20[$\mu\text{m}\phi$]、第2のダミービア13は25[$\mu\text{m}\phi$]、第3のダミービア14は30[$\mu\text{m}\phi$]としている。

【0041】なお、第1、第2、第3の半導体チップ2、4、7を積層した後は第1、第2、第3のダミービア12、13、14に固着材を充填してダミービアどうしを接続して各半導体チップを固定してもよい。

【0042】また、各半導体チップどうしを接続する際、封止樹脂を介在させて接続したり、または各半導体チップ間を接続した後に各半導体チップ間に第1のダミービア12または第3のダミービア14から封止樹脂を注入して半導体チップ間を封止樹脂で充填してもよい。

【0043】以上、本実施形態の積層型半導体装置およびその製造方法では、積層する半導体チップの各コーナー部には信号接続用のビアとは別に位置合わせ用のダミービアを設けることにより、位置精度よく積層され、各半導体チップ間の接続の信頼性の高い積層型半導体装置を得ることができる。また各半導体チップの積層後にダミービアに対して固着材を充填することにより、各半導体チップを確実に固定し、信号接続用のビアどうしの接続の安定性を向上させることができるものである。

【0044】

【発明の効果】以上、実施形態で説明した通り、本発明の積層型半導体装置は、第1の半導体チップの第1のダミービアの中心に第2の半導体チップの第2のダミービアの中心が対応して配置され、さらに第1の半導体チップの第1のダミービアの中心および第2の半導体チップの第2のダミービアの中心に第3の半導体チップの第3のダミービアの中心が対応して配置されているため、位置精度よく積層され、チップ積層における各半導体チップどうしの接続の信頼性を向上した積層型半導体装置を実現できるものである。

【0045】また本発明の積層型半導体装置の製造方法においては、1つの半導体チップに対して、その上に積層搭載される半導体チップのダミービアは下側の半導体チップのダミービアよりもその径を大きく構成しているため、半導体チップを積層する際の位置合わせ時は常に下方にあるダミービアを順次認識することにより位置合わせ精度を向上させ、半導体チップ間の接続の信頼性を高めることができるものである。また各半導体チップの積層後にダミービアに対して固着材を充填することにより、各半導体チップを確実に固定し、信号接続用のビア

どうしの接続の安定性を向上させることができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかる積層型半導体装置を示す図

【図2】本発明の一実施形態にかかる積層型半導体装置を示す断面図

【図3】本発明の一実施形態にかかる積層型半導体装置の製造方法を示す平面図

【図4】本発明の一実施形態にかかる積層型半導体装置の製造方法を示す断面図

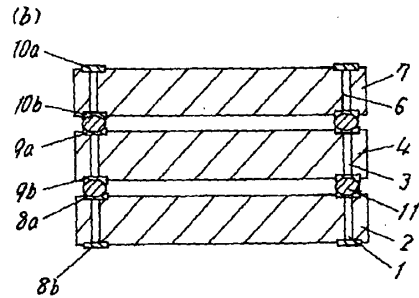
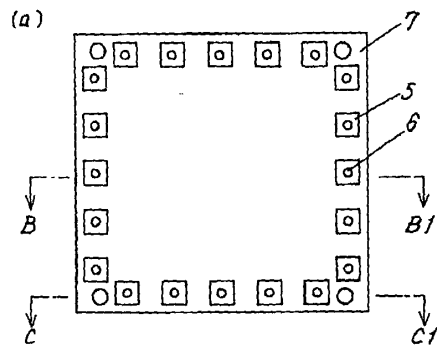
【図5】本発明の一実施形態にかかる積層型半導体装置の製造方法を示す断面図

【図6】従来の積層型半導体装置を示す図

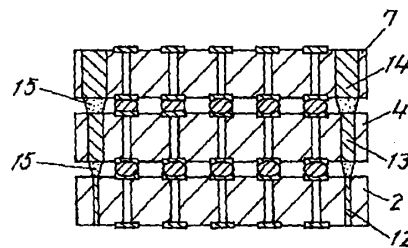
【符号の説明】

- 1 第1の貫通ビア
- 2 第1の半導体チップ
- 3 第2の貫通ビア
- 4 第2の半導体チップ
- 5 第3の電極パッド
- 6 第3の貫通ビア
- 7 第3の半導体チップ
- 8 a, 8 b ビアパッド
- 9 a, 9 b ビアパッド
- 10 a, 10 b ビアパッド
- 11 導電材
- 12 第1のダミービア
- 13 第2のダミービア
- 14 第3のダミービア
- 15 固着材

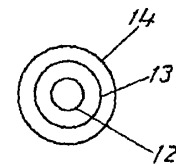
【図1】



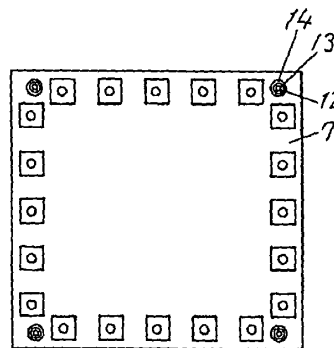
【図2】



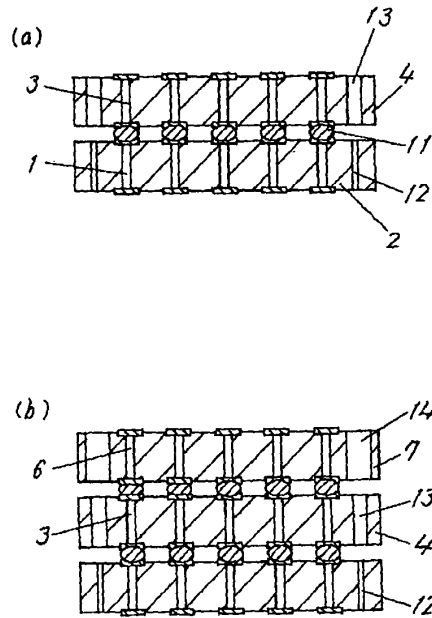
【図4】



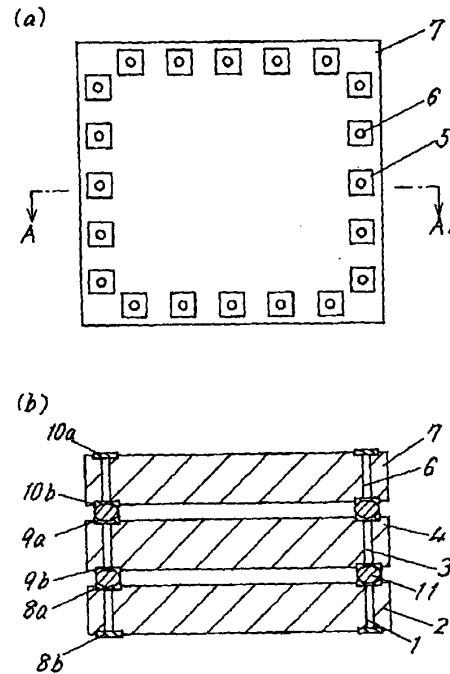
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 松村 和彦
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 山田 雄一郎
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 伊藤 史人
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 隈川 隆博
大阪府高槻市幸町1番1号 松下電子工業
株式会社内